

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-003647

(43)Date of publication of application : 14.01.1994

(51)Int.Cl.

G02F 1/133

G02F 1/136

G09G 3/36

(21)Application number : 04-184408

(71)Applicant : SONY CORP

(22)Date of filing : 18.06.1992

(72)Inventor : SUZUKI YOSHIO

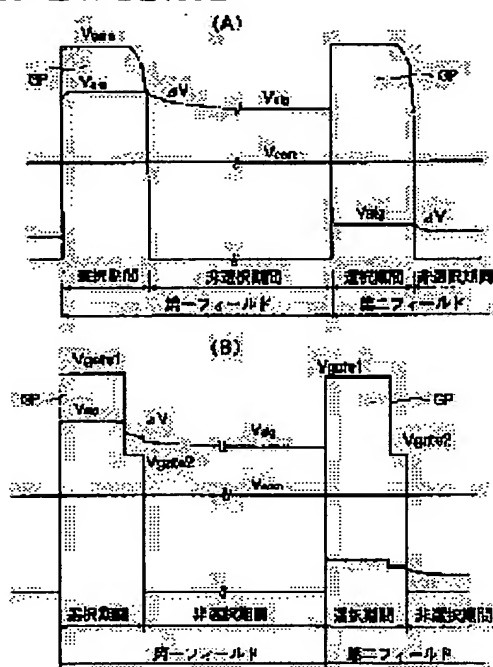
NAKAJIMA YOSHIHARU

(54) DRIVE METHOD FOR ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To restrain the voltage shift of an image signal inputted to a liquid crystal picture element by shaping the waveform of a gate pulse.

CONSTITUTION: An active matrix type liquid crystal display device comprises liquid crystal elements arrayed in a matrix and picture element transistors to drive respective elements. In this case, a gate pulse GP is applied to the gate electrodes of the picture element transistors during a selection period, thereby writing an image signal V_{sig} in each element. Subsequently, the application of the gate pulse GP is interrupted during a non-selection period and the written image signal V_{sig} is held. In transition from the selection period to the non-selection period, the gate pulse GP is caused to smoothly rise, thereby restraining the voltage shift ΔV of the written signal V_{sig} . Instead, the voltage level V_{gate1} of the gate pulse GP is once lowered to V_{gate2} immediately before transition from the selection period to the non-selection period and, then, further lowered, thereby restraining the voltage shift ΔV of the written image signal V_{sig} .



LEGAL STATUS

[Date of request for examination] 10.05.1999

[Date of sending the examiner's decision of rejection] 05.02.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2002-03843

[Date of requesting appeal against examiner's decision of rejection] 06.03.2002

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-3647

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl. ⁶		識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/133	5 5 0	9226-2K		
	1/136	5 0 0	9018-2K		
G 0 9 G	3/36		7319-5G		

審査請求 未請求 請求項の数 4 (全 9 頁)

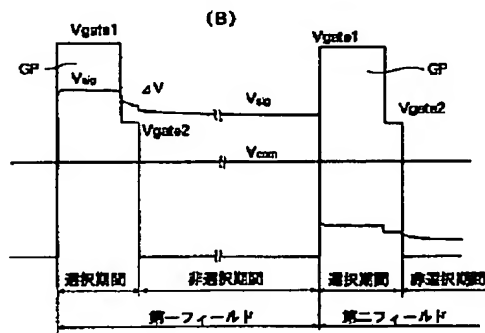
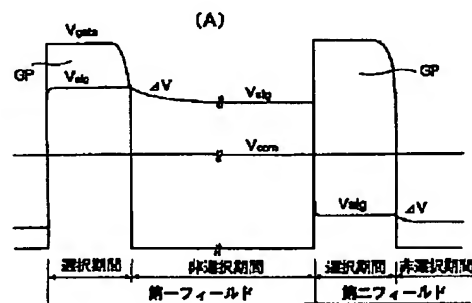
(21)出願番号	特願平4-184408	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川 6 丁目 7 番35号
(22)出願日	平成4年(1992)6月18日	(72)発明者	鈴木 芳男 東京都品川区北品川 6 丁目 7 番35号 ソニー株式会社内
		(72)発明者	仲島 綾晴 東京都品川区北品川 6 丁目 7 番35号 ソニー株式会社内
		(74)代理人	弁理士 鈴木 晴敏

(54)【発明の名称】 アクティブマトリクス型液晶表示装置の駆動方法

(57)【要約】

【目的】 液晶画素に書き込まれた画像信号の電圧シフトを抑制する。

【構成】 アクティブマトリクス型液晶表示装置はマトリクス状に配列された液晶画素と個々の液晶画素を駆動する為の画素トランジスタとからなる。選択期間中ゲートパルスGPを画素トランジスタのゲート電極に印加し画像信号Vsigを各液晶画素に書き込む。続いて非選択期間中ゲートパルスGPの印加を停止して書き込まれた画像信号Vsigを保持する。選択期間から非選択期間に移行する際ゲートパルスGPを滑らかに立ち下げる事により書き込まれた画像信号Vsigの電圧シフトΔVを抑制する。これに代えて、選択期間から非選択期間に移行する直前一旦ゲートパルスGPの電圧レベルVgate1をVgate2まで下げた後立ち下げる事により書き込まれた画像信号Vsigの電圧シフトΔVを抑制する様にしても良い。



1

【特許請求の範囲】

【請求項1】 マトリクス状に配列された液晶画素と個々の液晶画素を駆動する為の画素トランジスタとからなるアクティブマトリクス型液晶表示装置に対して選択期間中ゲートパルスを画素トランジスタのゲート電極に印加し画像信号を各液晶画素に書き込むとともに非選択期間中ゲートパルスの印加を停止して書き込まれた画像信号を保持する事により画像表示を行なう駆動方法において、選択期間から非選択期間に移行する際ゲートパルスを滑らかに立ち下げる事により書き込まれた画像信号の電圧シフトを抑制する事を特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

【請求項2】 マトリクス状に配列された液晶画素と個々の液晶画素を駆動する為の画素トランジスタとからなるアクティブマトリクス型液晶表示装置に対して選択期間中ゲートパルスを画素トランジスタのゲート電極に印加し画像信号を各液晶画素に書き込むとともに非選択期間中ゲートパルスの印加を停止して書き込まれた画像信号を保持する事により画像表示を行なう駆動方法において、選択期間から非選択期間に移行する直前一旦ゲートパルスの電圧レベルを下げた後立ち下げる事により書き込まれた画像信号の電圧シフトを抑制する事を特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

【請求項3】 マトリクス状に配列された液晶画素と、個々の液晶画素を駆動する画素トランジスタと、各画素トランジスタのゲート電極に順次ゲートパルスを印加し選択動作を行なう垂直走査回路と、選択された画素トランジスタを介して画像信号を各液晶画素に書き込む水平駆動回路とからなるアクティブマトリクス型液晶表示装置において、上記垂直走査回路は該ゲートパルスの印加を停止する際ゲートパルスを滑らかに立ち下げる事により書き込まれた画像信号の電圧シフトを抑制する手段を有する事を特徴とするアクティブマトリクス型液晶表示装置。

【請求項4】 マトリクス状に配列された液晶画素と、個々の液晶画素を駆動する画素トランジスタと、各画素トランジスタのゲート電極に順次ゲートパルスを印加し選択動作を行なう垂直走査回路と、選択された画素トランジスタを介して画像信号を各液晶画素に書き込む水平駆動回路とからなるアクティブマトリクス型液晶表示装置において、上記垂直走査回路は該ゲートパルスの印加を停止する直前一旦ゲートパルスの電圧レベルを下げた後立ち下げる事により書き込まれた画像信号の電圧シフトを抑制する手段を有する事を特徴とするアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリクス型液晶表示装置の駆動方法に関する。より詳しくは、個々の液晶画素に接続された画素トランジスタのゲートパル

2

ス印加方法に関する。

【0002】

【従来の技術】 図5を参照して従来のアクティブマトリクス型液晶表示装置の一般的な構成を簡潔に説明する。図5は一画素部分の模式的な等価回路図である。個々の画素はゲートラインXと信号ラインYの交点に設けられている。液晶画素は等価的に液晶容量 C_{LC} で表わされている。通常液晶容量 C_{LC} には補助容量 C_s が並列に接続されている。液晶容量 C_{LC} の一端は駆動トランジスタ T_r に接続されているとともに、他端は対向電極に接続されており所定の基準電圧 V_{com} が印加されている。画素トランジスタ T_r は絶縁ゲート電界効果型の薄膜トランジスタからなる。画素トランジスタ T_r のドレイン電極Dは信号ラインYに接続されており画像信号 V_{sig} の供給を受ける。又、ソース電極Sは液晶容量 C_{LC} の一端即ち画素電極に接続されている。さらに、ゲート電極GはゲートラインXに接続されており所定のゲート電圧 V_{gate} を有するゲートパルスが印加される。液晶容量 C_{LC} とゲート電極Gとの間には結合容量 C_{gs} が形成される。この結合容量 C_{gs} は画素電極とゲートラインXとの間の浮遊容量成分及び画素トランジスタ T_r 内部のソース領域とゲート領域との間の寄生容量成分が合わさったものである。後者の寄生容量成分が支配的であるとともにその値は個々の画素トランジスタ T_r によってばらつきが認められる。

【0003】

【発明が解決しようとする課題】 次に図6を参照して本発明が解決しようとする課題を簡潔に説明する。選択期間中電圧 V_{gate} のゲートパルスがゲート電極Gに印加されると、画素トランジスタ T_r はオン状態になる。この時、信号ラインYから供給された画像信号 V_{sig} がトランジスタ T_r を介して液晶画素に書き込まれ所謂サンプリングが行なわれる。次に非選択期間になるとゲートパルスの印加が停止され、書き込まれた画像信号は液晶容量 C_{LC} に保持される。選択期間から非選択期間に移行する時矩形波ゲートパルスはハイレベルからローレベルに急激に立ち下がる。この際、前述した結合容量 C_{gs} を介してカップリングにより液晶容量 C_{LC} に蓄えられた電荷が瞬間的に放電する。この為、液晶画素に書き込まれた画像信号 V_{sig} に電圧シフト ΔV が生じる。個々の画素によって結合容量 C_{gs} の値にばらつきがある為電圧シフト ΔV にもばらつきが生じ表示画面上に所謂ざらつきが現われ表示品位が著しく劣化するという課題あるいは問題点がある。

【0004】 液晶画素には選択期間中に画像信号を書き込み、続く非選択期間中書き込まれた画像信号を保持して一フィールドが構成される。一フィールドにおける液晶画素の透過率はその間に液晶に印加される実効電圧によって決定される。画素トランジスタ T_r の特性としては、選択期間内に書き込みを完了する為に必要なオン電

50

流が確保できるものでなければならない。又、一フィールド期間中液晶画素を点灯する為に十分な実効電圧が得られる様に、非選択期間中あるいは保持期間中のリーク電流はできるだけ小さくする。実効電圧としては選択期間より遥かに長い非選択期間時の影響が大きい。この為、画素容量 C_{lc} を充電した後オフする時生じる前述した電圧シフト ΔV は液晶に印加される実効電圧に大きく効いてくる為、表示品位が損なわれる。

【0005】従来、電圧シフト ΔV の絶対量及びばらつきを抑制する為、液晶容量 C_{lc} に並列接続されている補助容量 C_s を大きめに形成するという対策が講じられていた。即ち結合容量 C_{cs} を介して放電される電荷量を補うに足る電荷を予め補助容量 C_s に蓄えるものである。しかしながら、補助容量 C_s は液晶画素領域に形成されており、この寸法を大きく設定すると画素開口率が犠牲になり十分な表示コントラストを得る事ができないという課題あるいは問題点がある。

【0006】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明は画素開口率を犠牲にする事なくゲート/ソース間の結合容量に起因する画像信号の電圧シフトを抑制する事を目的とする。かかる目的を達成する為にゲートパルスの印加方法を改善するという手段を講じた。以下、図1を参照して当該手段を説明する。同一の目的を達成する為に二通りの手段を講じた。図1の

(A)に示す第一の手段では、マトリクス状に配列された液晶画素と個々の液晶画素を駆動する為の画素トランジスタとからなるアクティブマトリクス型液晶表示装置に対して選択期間中ゲートパルスGPを画素トランジスタのゲート電極に印加し画像信号Vsigを各液晶画素に書き込むとともに非選択期間中ゲートパルスGPの印加を停止して書き込まれた画像信号Vsigを保持する事により画像表示を行なう駆動方法において、選択期間から非選択期間に移行する際ゲートパルスGPを滑らかに立ち下げる事により書き込まれた画像信号Vsigの電圧シフト ΔV を抑制する様にした。

【0007】アクティブマトリクス型液晶表示装置においては液晶の長寿命化を図る為フィールド毎に画像信号Vsigの極性を反転する交流駆動が行なわれる。図示では第一フィールドにおいて対向電極に印加される所定の基準電圧Vcomに対して正極性の画像信号Vsigが画素に書き込まれ、第二フィールドでは負極性の画像信号Vsigが書き込まれる。あるゲートラインに着目すると、第一フィールドにおいて選択期間中所定のゲート電圧VgateのゲートパルスGPが画素トランジスタのゲート電極に印加される。このゲートパルスGPの立ち下がりには滑らかになっている。この為、従来の様に急峻に立ち下げる場合と比べると電圧シフト ΔV が小さくなっており、非選択期間中所定のレベルを維持する事が可能になる。第二フィールドにおいても同様にゲート

パルスGPの立ち下がり滑らかになっており電圧シフト ΔV が抑制される。なお、立ち下がり異なりゲートパルスGPの立ち上がりが急峻であっても画像品位に影響を与える事はない。

【0008】図1の(B)に示す第二の手段では、選択期間から非選択期間に移行する直前一旦ゲートパルスGPの電圧レベルVgate1をVgate2まで下げた後立ち下げる事により書き込まれた画像信号Vsigの電圧シフト ΔV を抑制する様にしている。なお、ゲートパルスGPの電圧レベルを下げるタイミングは、選択期間中液晶画素への書き込み動作に影響を与えない様に設定されている。即ち、書き込みが完了した時点でゲート電圧Vgate1はVgate2まで下げられる。この第二の手段は特に負極性の画像信号を書き込み保持する際に効果的である。例えば、第二フィールドにおいてゲート電圧Vgate1と画像信号Vsigとの間には大きな電位差が生じる。このゲート電圧Vgate1を一旦Vgate2まで下げた後立ち下げる事により、選択期間から非選択期間への移行時点でゲートラインとソース電極との間の電位差は小さくなる。この為、電圧シフト ΔV を効果的に抑制できる。

【0009】

【作用】図5を参照して説明した様に、画像信号の電圧シフト ΔV はゲートとソース間の結合容量 C_{cs} に比例して大きくなる。逆に、液晶容量 C_{lc} 及び補助容量 C_s が大きい程小さくなる。さらに、ゲートとソース間の電位差 V_{cs} に比例して大きくなる。なお、この V_{cs} は選択期間から非選択期間への移行時点におけるゲート電圧Vgateと書き込まれた画像信号Vsigとの電位差に対応している。以上に述べた関係を数式で表わすと、 $\Delta V = C_{cs} / (C_{lc} + C_{cs} + C_s) \times V_{cs}$ のようになる。ところで、結合容量 C_{cs} のインピーダンスには周波数依存性があり高周波成分程通し易い。そこで、図1の(A)に示す第一手段では、ゲートパルスの立ち下がり滑らかにする事により高周波成分を除去し、結合容量を介したカップリングによる電圧シフトを抑制する様にしている。

【0010】上述した関係式から明らかな様にゲート/ソース間の電位差 V_{cs} を小さくする事により電圧シフト ΔV を抑制できる。そこで、図1の(B)に示した第二手段では、ゲートパルスの立ち下がり直前にゲート電圧を一旦下げて V_{cs} を小さくする事により、電圧シフト ΔV を抑制する様にしている。

【0011】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図2は本発明にかかる第一の駆動方法を実施する為の回路構成例を示す。アクティブマトリクス型液晶表示装置は、マトリクス状に配列された液晶画素LPと、個々の液晶画素LPを駆動する画素トランジスタTrとからなる表示部を有している。なお、図示で

は一列分の液晶画素のみを表わしている。各画素トランジスタTrのゲート電極GにはゲートラインX1, X2, X3, X4, ...を介して垂直走査回路1が接続されており、線順次でゲートパルスGPを印加し画素トランジスタTrの選択動作を行なう。又、各画素トランジスタTrのドレイン電極には信号ラインYmを介して水平駆動回路2が接続されており、選択された画素トランジスタTrを介して画像信号Vsigを各液晶画素LPに書き込む。

【0012】垂直走査回路1はシフトレジスタ3から構成されている。このシフトレジスタ3はD型フリップフロップ4を多段接続した構造を有する。各D型フリップフロップ4は出力端子が共通結線された一対のインバータ5, 6から構成されている。各インバータはPチャネル型の駆動トランジスタ7を介して電源VDD側に接続されているとともに、Nチャネル型の駆動トランジスタ8を介してグランド側に接続されている。これら一対の駆動トランジスタ7, 8はシフトクロックパルスVCK1, VCK2及びこれらの反転パルスにตอบสนองして導通しインバータを駆動する。この様に駆動されるインバータ5, 6は所謂クロックインバータと呼ばれている。一対のインバータ5, 6の共通結線された出力端子には第三のインバータ9の入力端子が接続されている。第三のインバータ9の出力端子には各段のD型フリップフロップの出力パルスが現われる。この出力パルスは次段のD型フリップフロップの入力としても用いられる。第一段目のD型フリップフロップに対してスタート信号VSTを入力する事により、シフトレジスタ3は各段毎に順次半周期ずつ位相のずれた出力パルスを出力する。当該段の出力パルスと前段の出力パルスをナンドゲート素子10で論理処理した後インバータ11で反転する事によりゲートパルスGPが得られる。

【0013】本実施例では出力インバータ11は非対称構造を有している。即ち、Nチャネル型トランジスタ12のチャネル幅Wとチャネル長Lの比W/LはPチャネル型トランジスタ13に比べて小さく設定されている。換言すると、Nチャネル型トランジスタ12の電流容量はPチャネル型トランジスタ13の電流容量に比べて小さい。ゲートパルスGPがローレベルからハイレベルに立ち上がる場合にはPチャネル型トランジスタ13が導通するので急峻な立ち上がりとなる。一方、ゲートパルスGPが立ち下がる場合にはNチャネル型トランジスタ12が導通するが、その電流容量が小さい為滑らかな立ち下がりとなる。従って、垂直走査回路1はゲートパルスGPを滑らかに立ち下げる事により画素LPに書き込まれた画像信号Vsigの電圧シフトを抑制する手段を備えている。

【0014】図3は本発明にかかる第二の駆動方法を実施する為の回路構成を示す。基本的には前述した図2に示す回路構成と類似しており、対応する部分には同一の

参照番号及び参照符号を付して理解を容易にしている。異なる点は、各D型フリップフロップ4のPチャネル型駆動トランジスタ7が直接電源ラインVDDに接続されておらず、直列接続された一対の分圧抵抗R1, R2の midpointに接続されている事である。直列接続された分圧抵抗R1, R2の一端は電源ラインVDDに接続されており、他端はスイッチングトランジスタ14を介してグランド側に接続されている。スイッチングトランジスタ14のゲート電極には制御電圧VCKXが周期的に印加される。スイッチングトランジスタ14がオフ状態にある時には電源電圧がそのままシフトレジスタ3に供給され、各ゲートパルスGPの電圧レベルは電源電圧と等しくなる。一方、スイッチングトランジスタ14がオン状態になると、R1とR2の比によって抵抗分割された電圧がシフトレジスタ3に供給され、ゲートパルスGPの電圧レベルもそれに従って低下する。

【0015】本実施例では垂直走査回路1の全体構成の内、シフトレジスタ3及びナンドゲート回路10やインバータ11からなるゲートドライバの部分は、アクティブマトリクス型液晶表示装置の基板内に形成されている。一方、シフトレジスタ3に電源電圧を供給する電源回路やクロックパルスVCK1, VCK2等を供給するクロックドライバはアクティブマトリクス型液晶表示装置の基板外に設けられている。加えて本実施例では電源電圧を切り換える為のスイッチングトランジスタ14や分圧抵抗R1, R2は基板内に形成されている。しかしながら本発明はかかる構造に限られるものではない。場合によっては、外部接続される電源回路の電源電圧を周期的に切り換える様にしても良い。

【0016】最後に図4を参照して図3に示す回路の動作を詳細に説明する。スイッチングトランジスタ14のゲート電極に印加される制御電圧VCKXは水平同期信号に応じてパルス状にレベル変化する。本例では水平周期は63.5 μ sに設定されておりゲートライン1本当たりの選択期間に相当する。制御電圧VCKXは各水平周期の最終部分で6~8 μ sの間ハイレベルに変化する。この時間は選択期間内における画像信号の書き込み動作に影響を与えない様に設定されている。即ち選択されたゲートライン上の画素に対して点順次で画像信号を書き込み終わった段階で制御電圧VCKXがハイレベルになるとスイッチングトランジスタ14がオン状態になるので、シフトレジスタ3に供給される電源電圧のレベルは、例えば13.5Vに設定されたVDDから8.5V程度に低下する。この低下量は一対の分圧抵抗R1, R2の比を適宜決める事により設定される。

【0017】この電源電圧の変動に応じて、例えばn番目のゲートパルスGP(n)は一水平周期内においてそのレベルが13.5Vから8.5Vに階段状に変化する。次の水平周期ではn+1番目のゲートラインに対応

するゲートパルス $GP(n+1)$ が発生し同じく階段状にそのレベルが変化する。この間、画像信号 V_{sig} は水平周期毎に対向電極の電位 V_{com} に対して極性が交互に反転する。所謂1H反転駆動が行なわれる。この様な動作によれば、垂直走査回路は個々のゲートパルス GP の印加を停止する直前一旦ゲートパルスの電圧レベルを下げた後立ち下げる事により画素に書き込まれた画像信号 V_{sig} の電圧シフトを抑制する事ができる。

【0018】以上説明した様にゲートパルスの立ち下がり方を滑らかにしたり階段状とする事により画像信号の電圧シフトを抑制できる。かかるゲートパルスの波形整形は垂直走査回路の構成を工夫する事により達成できる。この場合、アクティブマトリクス型液晶表示装置の基板内に形成される回路部分に変形を加えても良いし、外部回路の部分も調整しても良い。但し外部回路部分でゲートパルスの波形整形を行なう場合には立ち下がり方を鈍らす方法よりも階段状に変化させる方法の方が回路的に簡便であり且つ制御性が良い。

【0019】

【発明の効果】以上説明した様に、本発明によれば、ゲートパルスを波形整形する事により画像信号の電圧シフトを抑制でき表示画面のざらつきを低減して表示品位を向上する事ができるという効果がある。又、外部回路で波形整形を行なう場合には、アクティブマトリクス型液晶表示装置単体としてはざらつき不良の選別をする必要がなくなり製造歩留りを大幅に改善する事ができるとい*

*う効果がある。さらに、波形整形の手法により電圧シフトを抑制できるので従来の様に補助容量を大きくする必要がなく画素開口率を犠牲にする事なく表示コントラストを改善できるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかるアクティブマトリクス型液晶表示装置の駆動方法を示す模式図である。

【図2】本発明にかかる駆動方法を実施する為の構成例を示す回路図である。

10 【図3】同じく本発明にかかる駆動方法を実施する為の他構成例を示す回路図である。

【図4】図3に示す回路の動作を説明する為のタイミングチャートである。

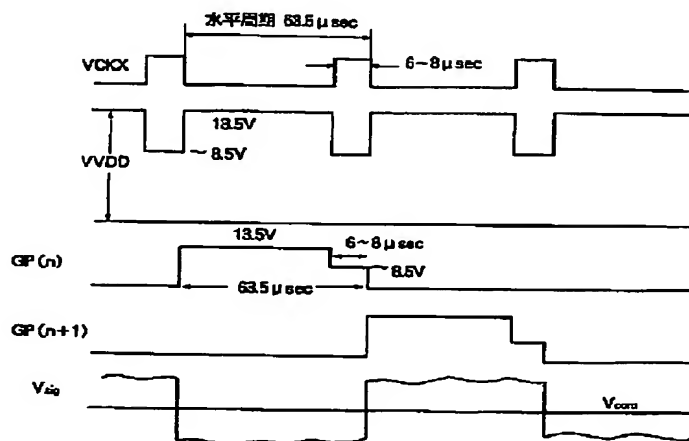
【図5】従来のアクティブマトリクス型液晶表示装置の構造を示す等価回路図である。

【図6】従来のアクティブマトリクス型液晶表示装置の駆動方法の課題を説明する為の模式図である。

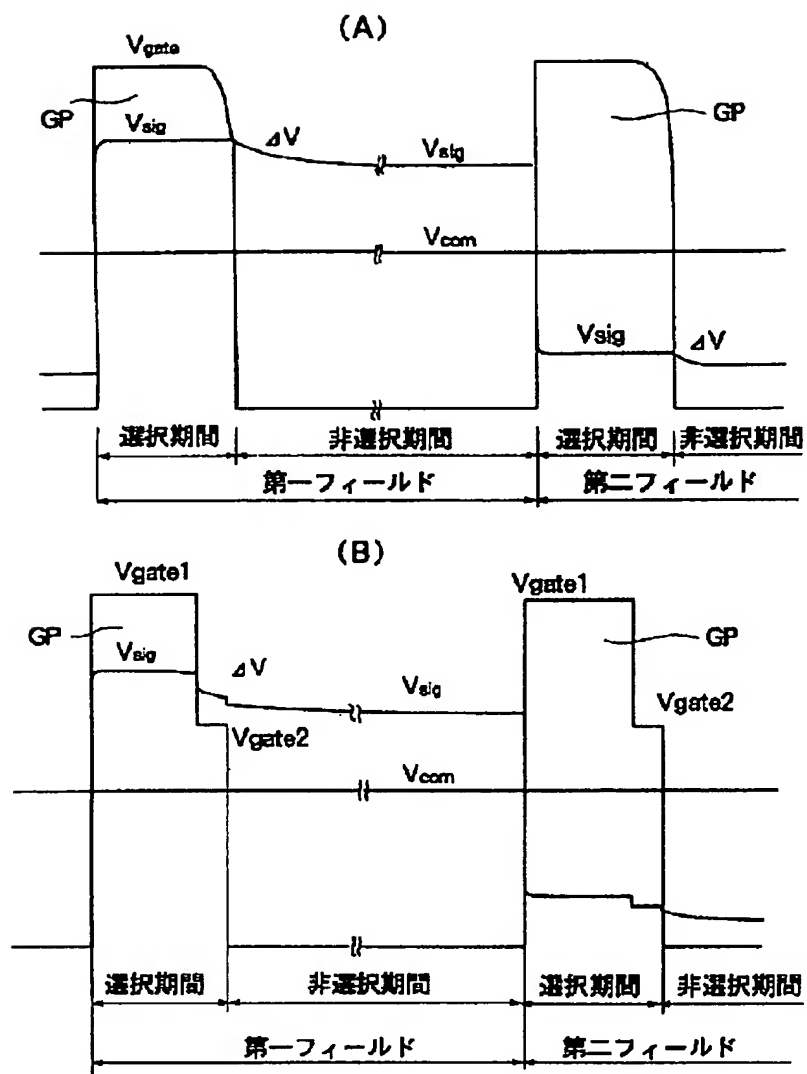
【符号の説明】

- 1 垂直走査回路
- 2 水平走査回路
- 3 シフトレジスタ
- 4 D型フリップフロップ
- 11 インバータ
- 12 Nチャネル型トランジスタ
- 13 Pチャネル型トランジスタ
- 14 スイッチングトランジスタ

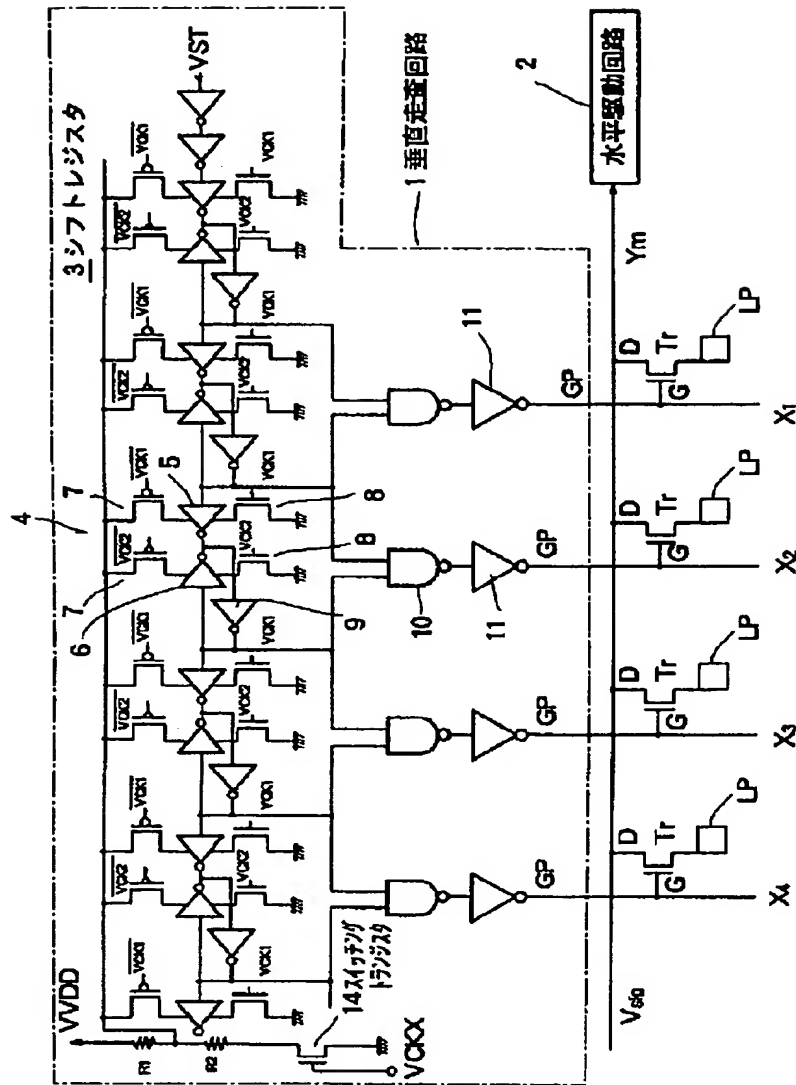
【図4】



〔図1〕



【図3】



【図6】

